



PIO IX

## Técnicas Digitales

G.E.:

7

Título:

Biestables

Calificación:

Alumno: \_\_\_\_\_

Curso: \_\_\_\_\_

División: \_\_\_\_\_

Nº de lista: \_\_\_\_\_

Firma Alumno: \_\_\_\_\_

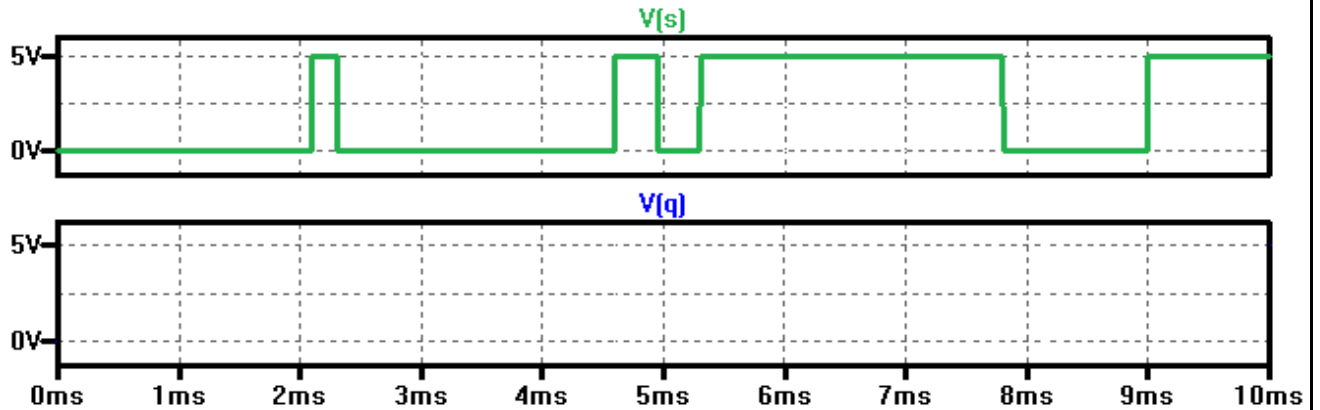
F.I.: \_\_\_\_\_

FF.: \_\_\_\_\_

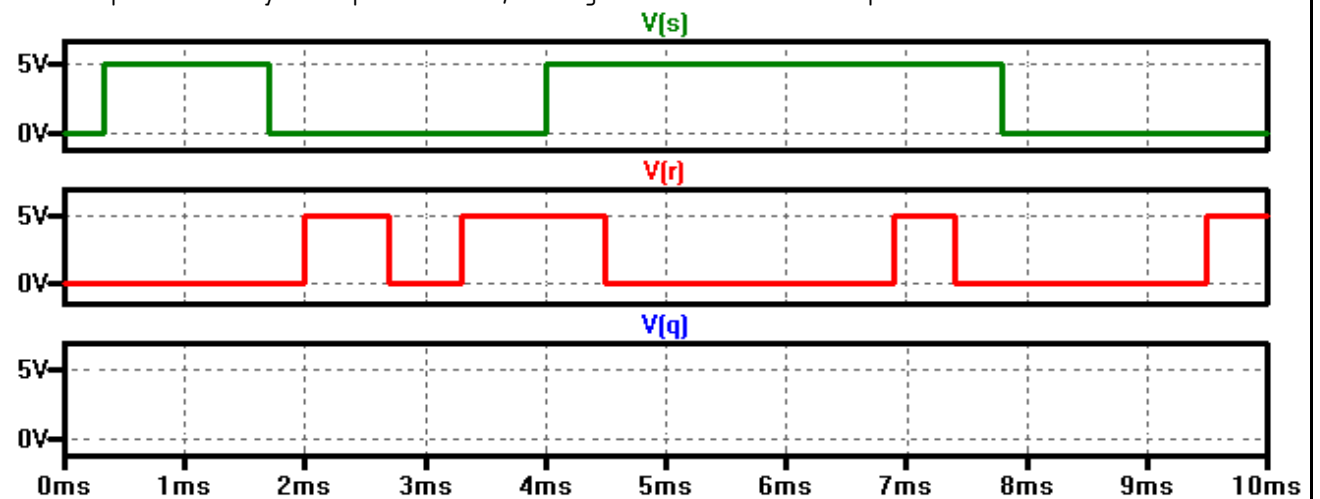
F.C.: \_\_\_\_\_

Firma Profesor: \_\_\_\_\_

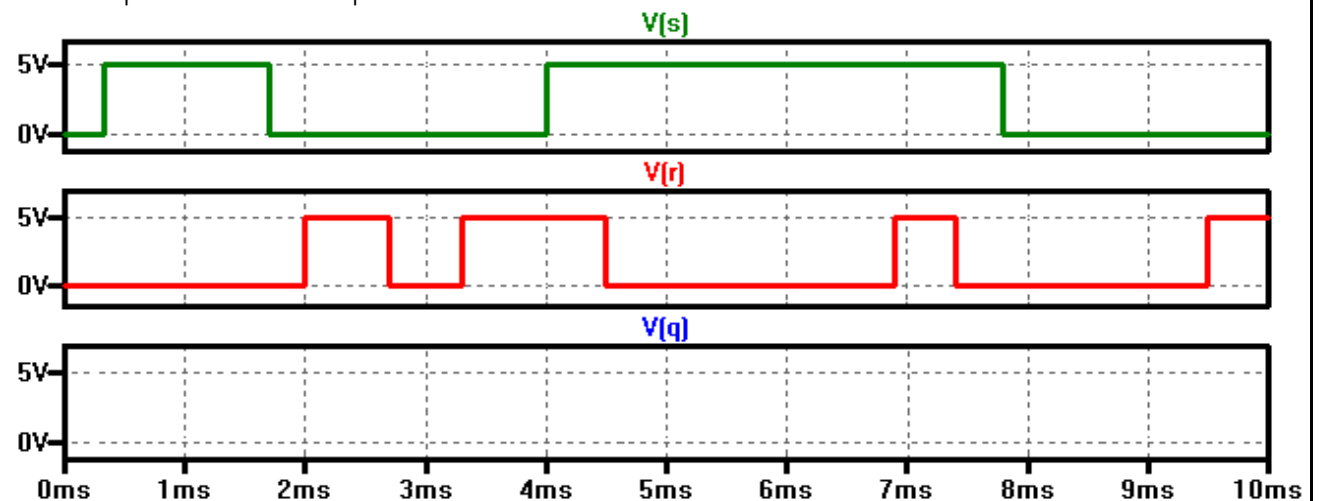
- 1) Se tiene un biestable simple y se aplica a la única entrada S la señal que se muestra a continuación. Obtenga la salida Q suponiendo que Q en el instante inicial era 0.



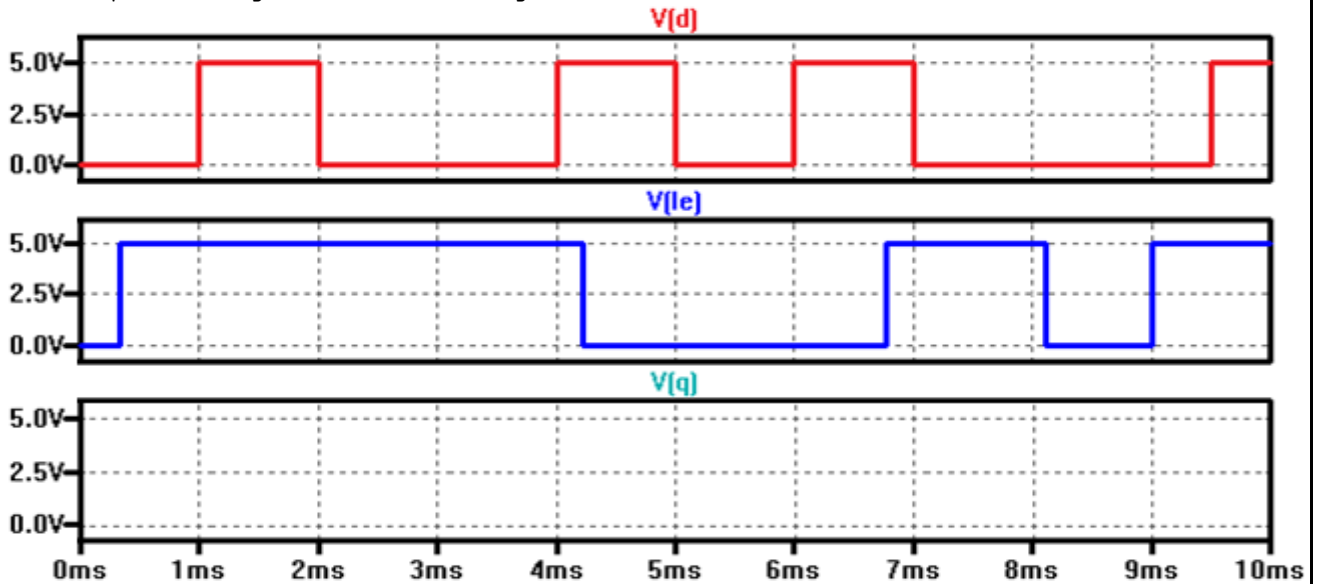
- 2) Ahora se trabaja con un biestable asincrónico R-S con reset prioritario y con las siguientes señales aplicadas a S y R respectivamente, obtenga la señal de salida suponiendo como estado inicial  $Q=0$ .



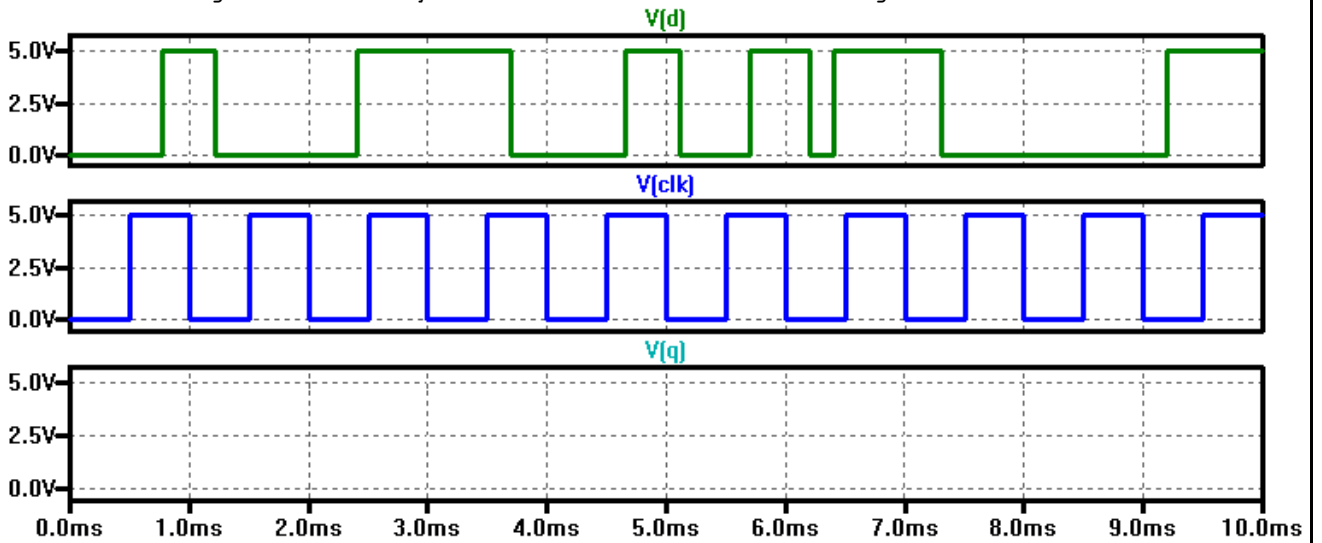
- 3) Si ahora se modifica el biestable por un S-R con set prioritario. Obtenga nuevamente la señal Q suponiendo otra vez que en el instante inicial  $Q=0$ .



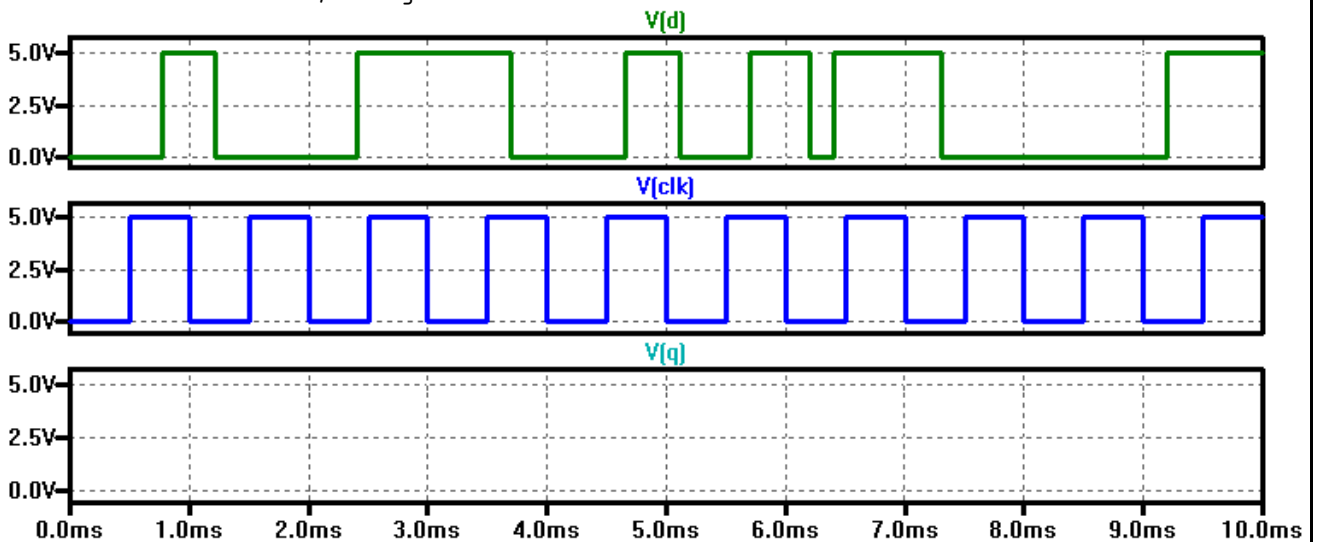
- 4) Se tiene un biestable D con Latch Enable, cuyo estado en el instante inicial era  $Q=0$ , al cual se le aplican las siguientes señales, obtenga forma de la señal de salida:



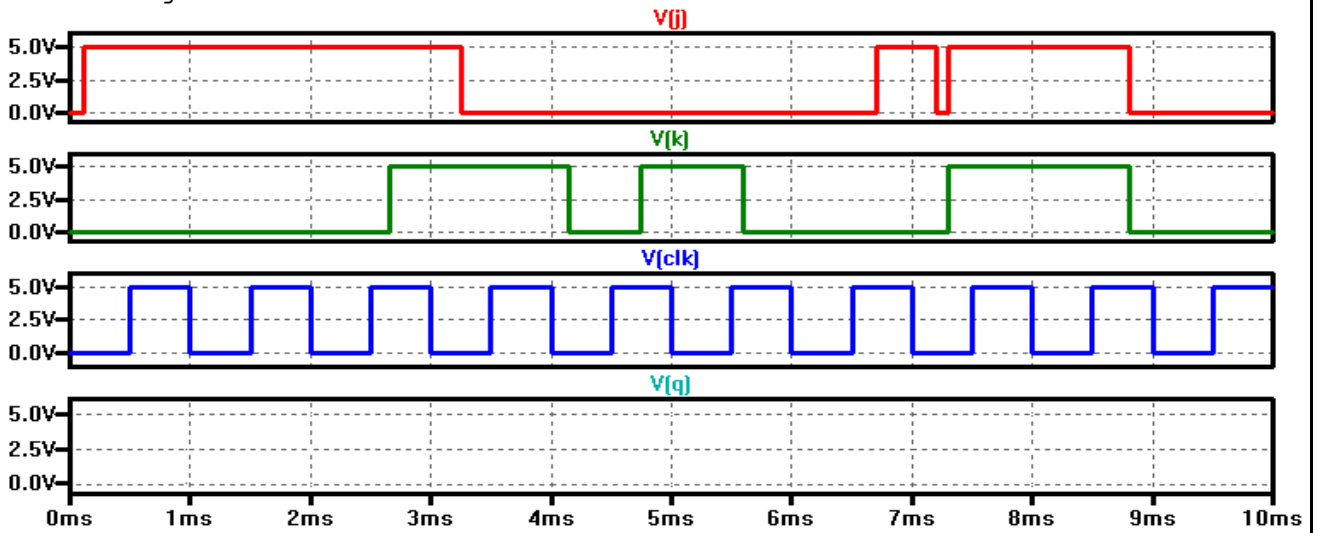
- 5) A diferencia del ejercicio anterior ahora se emplea un biestable síncrono D de flanco ascendente, con las siguientes señales y estado inicial  $Q=0$ . Nuevamente obtenga la señal de salida  $Q$ .



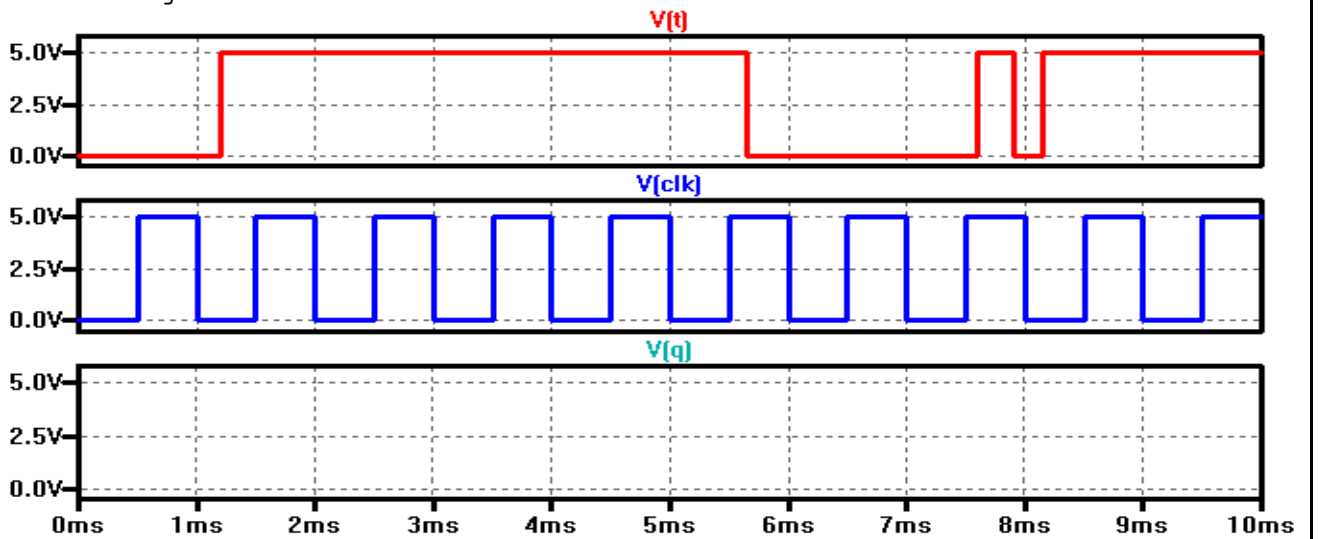
- 6) Si ahora se trabaja con un biestable síncrono D con flanco descendente y nuevamente en el instante inicial  $Q=0$ , obtenga la señal de salida  $Q$ .



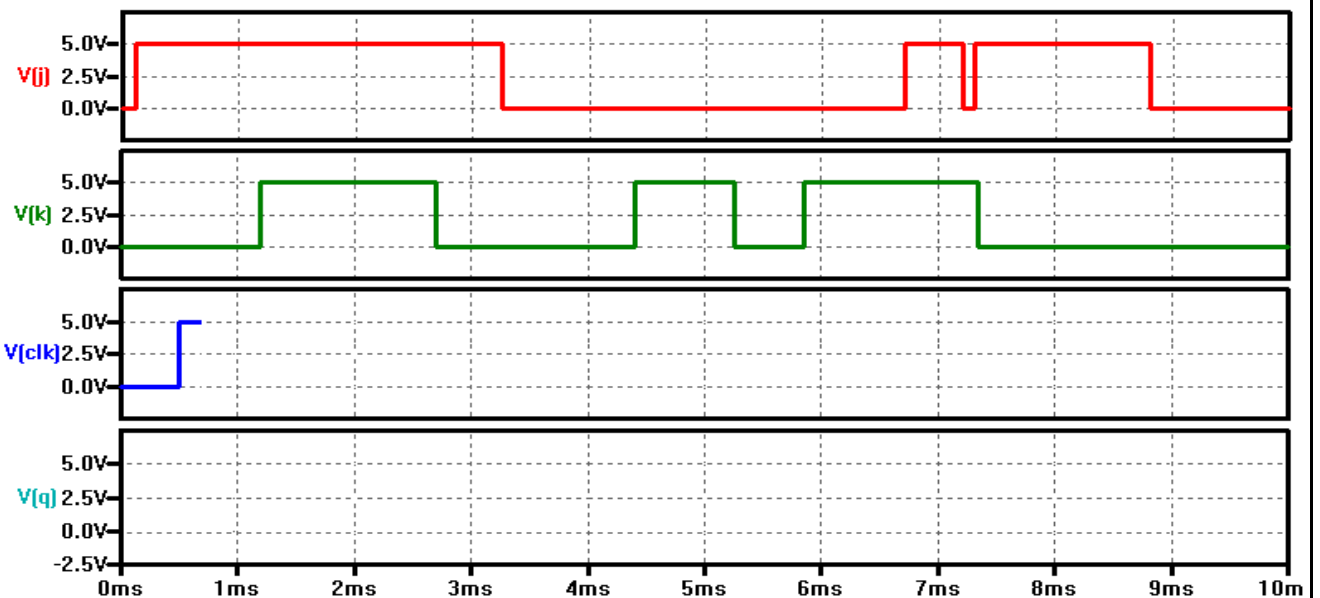
7) En  $t=0$  se sabe que  $Q=0$ , y se está trabajando con un biestable sincrónico JK de flanco ascendente, obtenga la señal de salida:



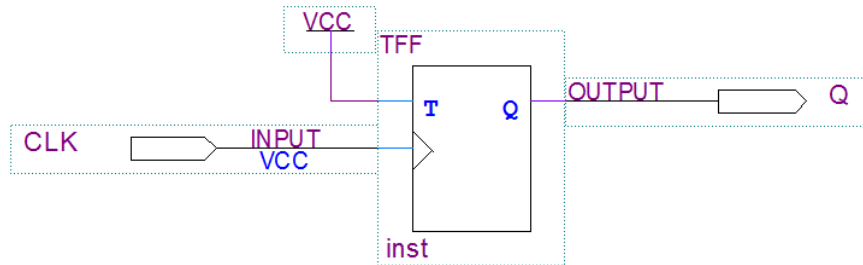
8) Se trabaja con un biestable sincrónico T de flanco ascendente. Asumiendo que en instante inicial  $Q=0$ , obtenga la señal de salida.



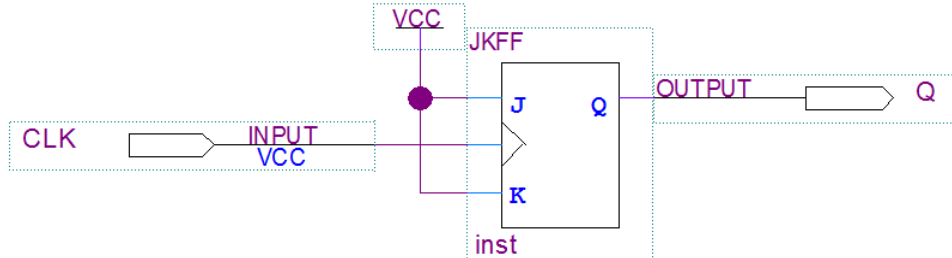
9) Se tiene un biestable sincrónico JK de flanco descendente con las señales de entrada que se muestran a continuación. Se sabe además que la señal de CLK es una señal cuadrada de frecuencia 1kHz, la cual debe ser completada para luego obtenga la señal de salida (asumir que en  $t=0$  el valor de la salida es  $V(Q)=0V$ ).



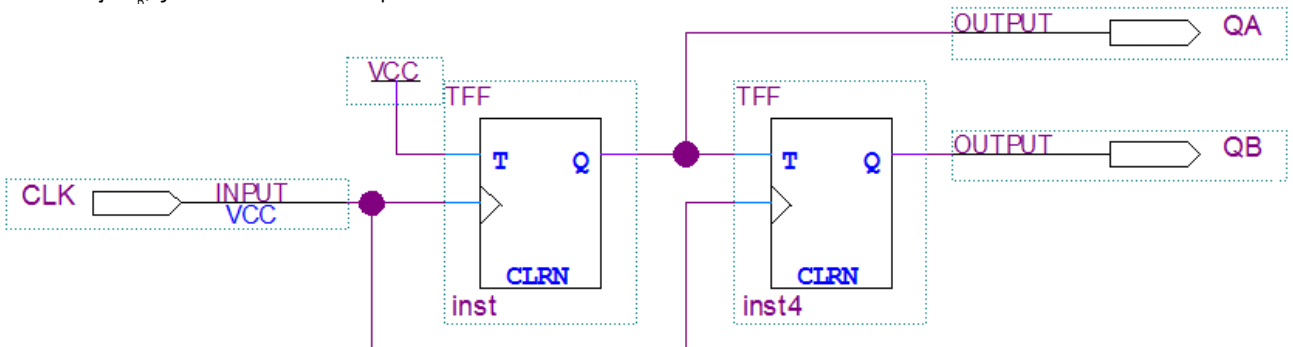
10) Un circuito está compuesto por un biestable T como se muestra a continuación. Si se aplica una señal de clock de 10KHz, obtenga la frecuencia de la señal de salida. Demuestre gráficamente su respuesta.



11) Para el circuito mostrado a continuación, si se aplica una señal de clock de 50KHz, obtenga la frecuencia de la señal de salida justificando de forma gráfica su respuesta. Compare el funcionamiento del circuito con el del ejercicio anterior.



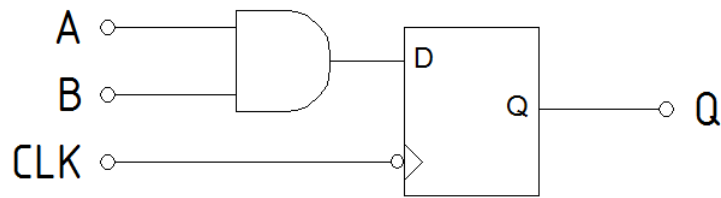
12) Se aplica una señal de CLK de un 1MHz al circuito mostrado a continuación, obtenga las señales de  $Q_A$  y  $Q_B$ , justificando su respuesta.



13) Sabiendo el estado presente y el estado futuro determine cómo deben estar configuradas las entradas de excitación de los flip-flops para generar las transiciones deseadas.

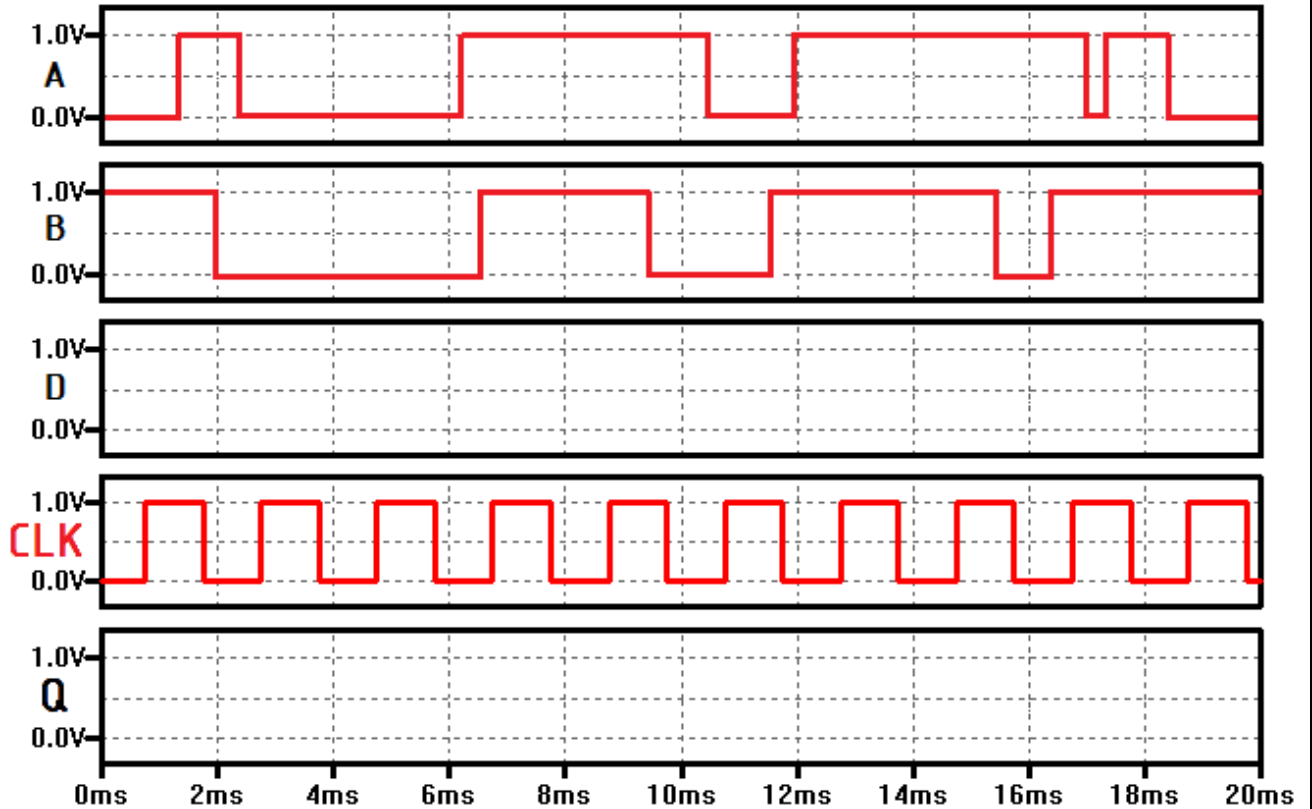
Estado Presente	Estado futuro	JK flip-flop		D flip-flop	T flip-flop
$Q^*$	Q	J	K	D	T
0	0				
0	1				
1	0				
1	1				

14) Como se muestra en el siguiente circuito a un flip-flop D de flanco descendente se le ha colocado una compuerta AND en su entrada.

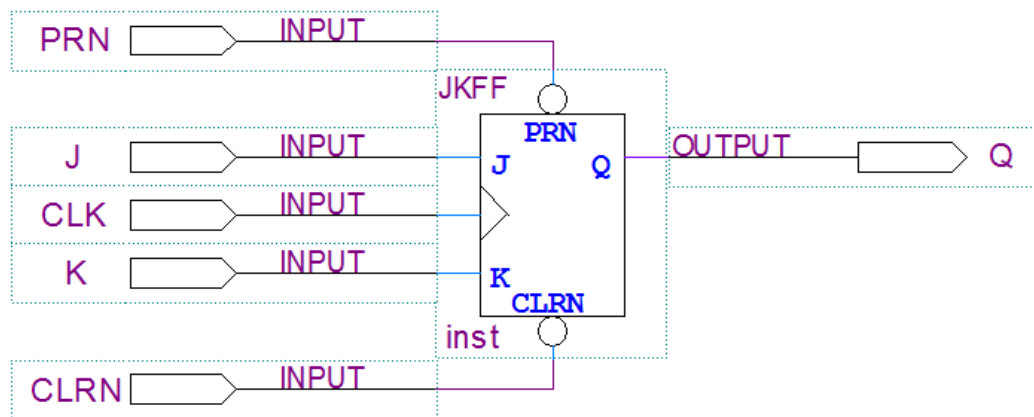


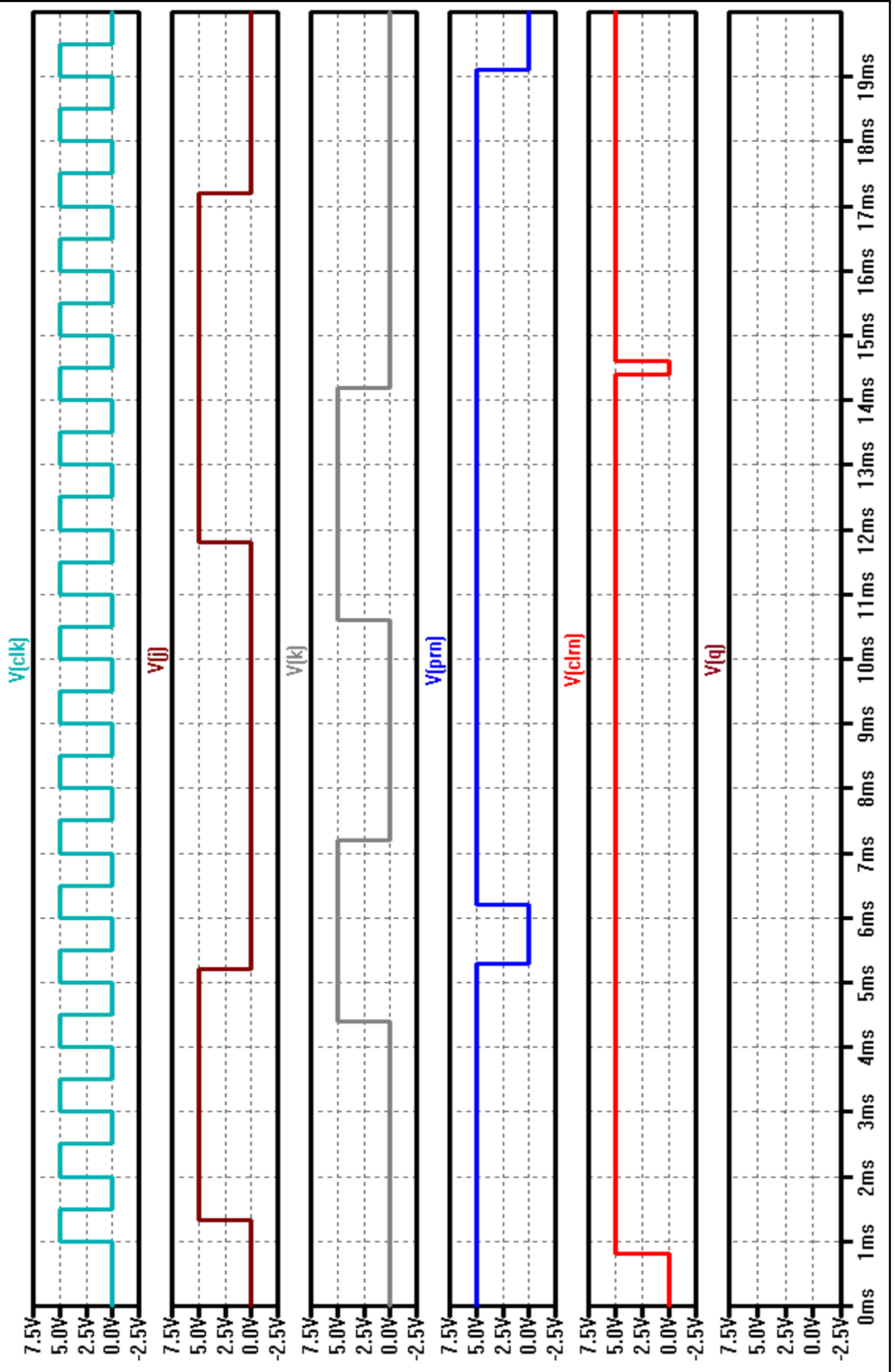
Si se tienen las siguientes señales A, B y CLK, se pide obtener:

- La señal D.
- La señal Q.



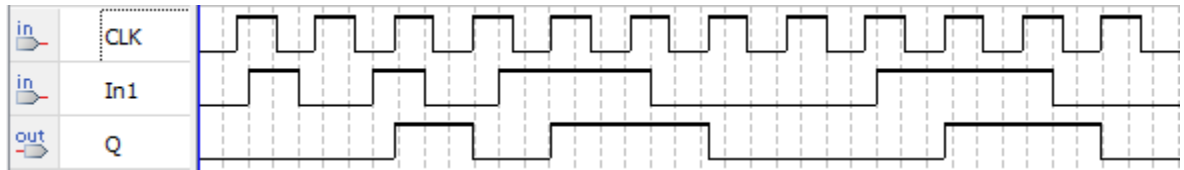
- 15) Como se muestra en el circuito mostrado a continuación se tiene un biestable JK sincrónico con entradas para hacer un set o un clear asincrónico (PRN y CLRN respectivamente), sumado a las entradas y salidas típicas de este dispositivo (J, K, CLK y Q). Si se aplican las señales mostradas en la siguiente página a cada una de las entradas, obtenga la señal Q de salida.



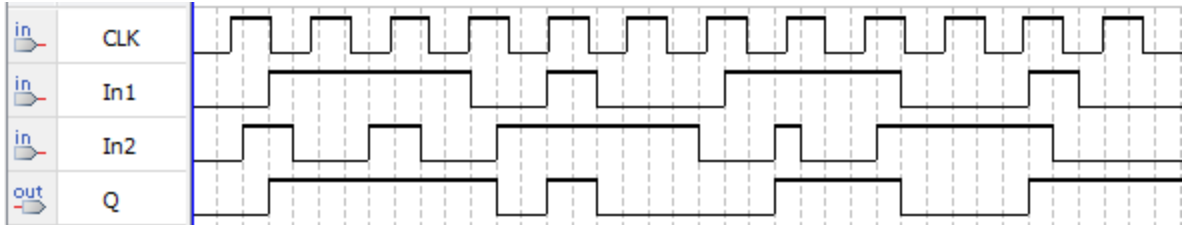


- 16) Se tienen las siguientes simulaciones que corresponden a "Biestables D con Latch Enable", "Biestable SR con Reset prioritario", "Flip-Flop D", "Flip-Flop T" y "Flip-Flop JK". Se pide:
- Indicar cuales simulaciones se asocian a biestables sincrónicos y cuales asincrónicos.
  - Indicar cuales señal se asocian con los biestables o flip-flop mencionados.
  - Indicar a qué señales se asocia In1 e In2 en cada flip-flop o biestable: D, T, J, K, LE, S, R.

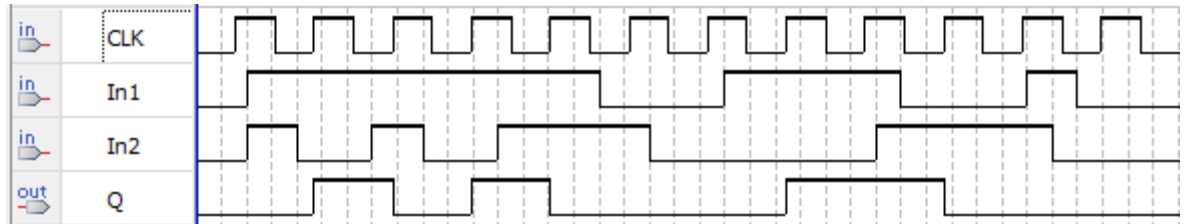
Simulación A



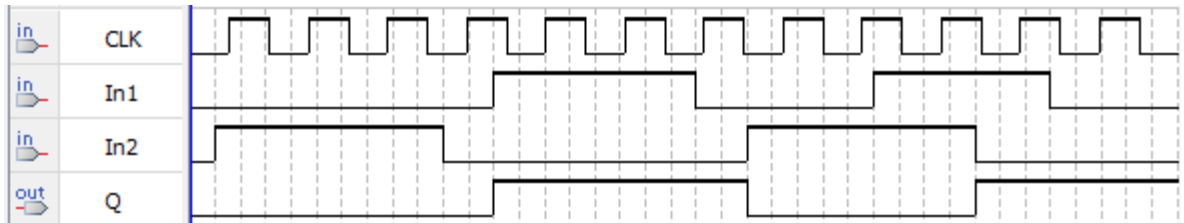
Simulación B



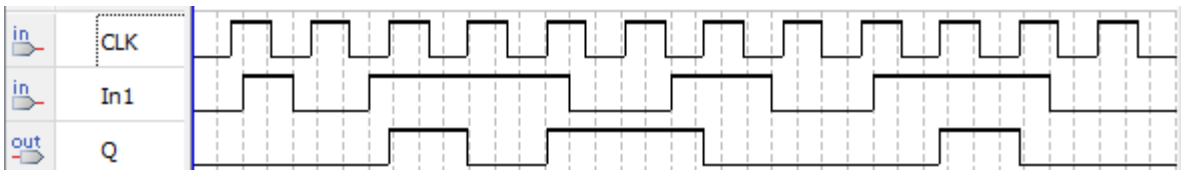
Simulación C



Simulación D

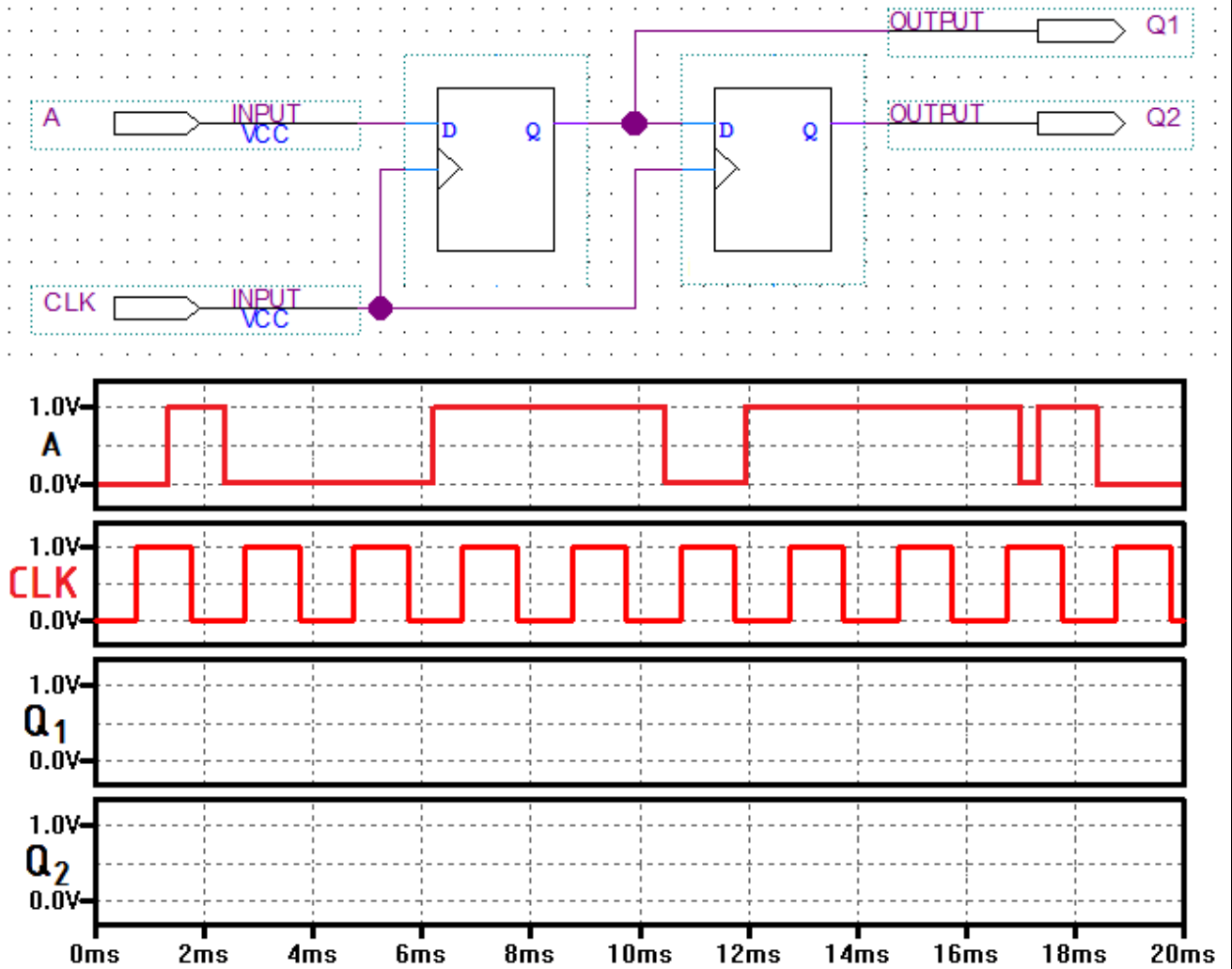


Simulación E



		SIMULACIÓN A	SIMULACIÓN B	SIMULACIÓN C	SIMULACIÓN D	SIMULACIÓN E
<b>Biestable Sincrónico o Asincrónico</b>		Sinc. / Asinc.	Sinc. / Asinc.	Sinc. / Asinc.	Sinc. / Asinc.	Sinc. / Asinc.
<b>Tipo de Biestable o Flip-Flop</b>						
<b>Señal</b>	In1					
	In2	-----				-----

17) Dado el siguiente circuito y las señales de la imagen, obtenga los valores temporales de Q1 y Q2.



18) Dado el siguiente circuito, similar al anterior, y las señales de la imagen, obtenga los valores temporales de Q1, Q2 y Q3.

